

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-101771

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

G09G 5/36

G06T 1/00

G09G 5/02

H04N 1/46

(21)Application number : 07-257421

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.10.1995

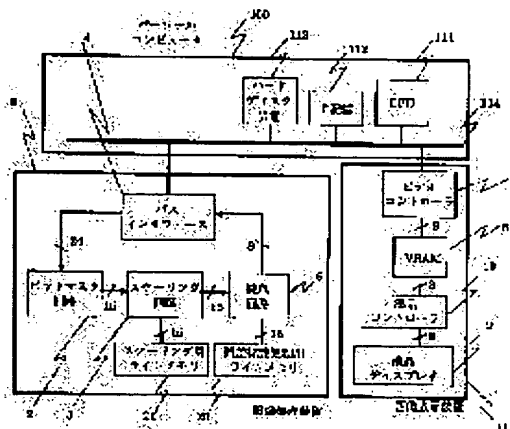
(72)Inventor : MORINAGA TAKENORI
INAGAKI YUKIHIDE
TERADA KOICHI
KUROKAWA YOSHITAKE
MORINO TOKAI
KOHIYAMA TOMOHISA

(54) PICTURE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a picture processor in which a manufacturing cost and power consumption is suppressed while preventing influence to picture quality by masking low-order plural bits of picture data at the preceding stage for scaling processing and reducing member of color processing.

SOLUTION: A picture processing device comprises a bit mask circuit 2, a scaling circuit 3, a line memory 21 for scaling required for scaling processing, a reducing number of color circuit 5, a line memory 20 for diffusion-processing an error, and a bus interface 4. The bit mask circuit 2 outputs picture data of 5 bits/pixel per one element, total 15 bits/pixel by masking low-order 3 bits of an input of 8 bits/pixel per one element, total 24 bits/pixel in RGB picture data. The scaling circuit 3 performs scaling of inputted RGB picture data and outputs it, the reducing circuit 5 reduces the number of colors of inputted RGB picture data and outputs it. The bus interface 4 controls an output from a bus 114 to the bit mask circuit 2 and an input from the reducing circuit 5 to the bus 114.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-101771

(43) 公開日 平成 9 年 (1997) 4 月 15 日

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 G 5/38	6 2 0	9877-5H	G 0 9 G 5/38	6 2 0 A
G 0 6 T 1/00		9877-5H	5/02	C
G 0 9 G 5/02			G 0 6 F 15/68	3 1 0
H 0 4 N 1/48			H 0 4 N 1/48	C

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-257421

(22) 出願日 平成 7 年 (1995) 10 月 4 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 盛永 健規

神奈川県川崎市麻生区王禅寺1089番地株式

会社日立製作所システム開発研究所内

(72) 発明者 稲垣 幸秀

神奈川県川崎市麻生区王禅寺1089番地株式

会社日立製作所システム開発研究所内

(72) 発明者 寺田 光一

神奈川県川崎市麻生区王禅寺1089番地株式

会社日立製作所システム開発研究所内

(74) 代理人 弁理士 小川 勝男

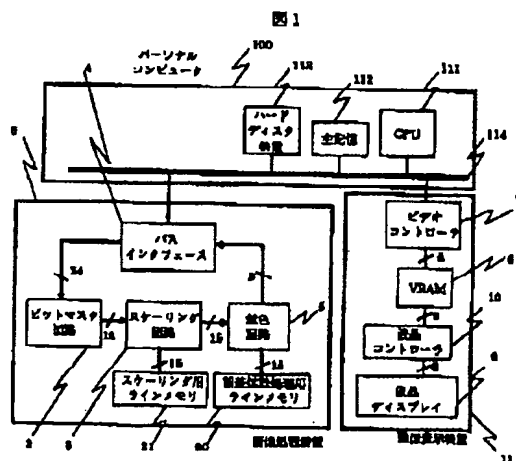
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】低コストかつ低消費電力の画像データの減色処理を行う画像処理装置を提供する。

【解決手段】画像処理装置は、画像データのビット数を元のイメージに近いまま減らす減色処理を行う減色回路であり、ディジタル画像データのビット数を色成分 1 要素あたり 8 ビット/画素未満、かつ減色回路の色成分 1 要素あたりの出力ビット数よりも大きいビット数にできるように下位の数ビットをマスクするビットマスク回路を備える。



(2)

特開平9-101771

1

2

【特許請求の範囲】

【請求項1】ディジタル画像データ出力装置から出力された画像データの階調数を減らし画像データのビット数を減らす減色手段を備えた画像処理装置において、前記減色手段に入力される3要素の色成分を持つカラー画像データの1要素あたりのビット数が8ビット/画素未満で、前記減色手段で出力される1要素あたりのビット数よりも大きくなるように、前記減色手段の前段に前記画像データの下位の数ビットをマスクするビットマスク手段を3チャンネル備えたことを特徴とする画像処理装置。

【請求項2】ディジタル画像データ出力装置から出力された画像データの階調数を減らし画像データのビット数を減らす減色手段を備えた画像処理装置において、前記減色手段に入力される輝度成分を持つモノクロ画像データのビット数が8ビット/画素未満で、前記減色手段で出力されるビット数よりも大きくなるように、前記減色手段の前段に画像データの下位の数ビットをマスクするビットマスク手段を1チャンネル備えたことを特徴とする画像処理装置。

【請求項3】前記ビットマスク手段のマスクする下位のビット数が1チャンネルあたり3ビットである請求項1あるいは2に記載の画像処理装置。

【請求項4】ディジタル画像データ出力装置から出力された画像データの階調数を減らし画像データのビット数を減らす減色手段を備えた画像処理装置において、前記ディジタル画像データ出力装置がカラーのアナログ画像信号を、3要素の色成分に分け1要素あたり8ビット/画素未満で、前記減色手段で出力される1要素あたりのビット数よりも大きいビット数のディジタル画像データに変換する3チャンネルのA/D変換器を備えていることを特徴とする画像処理装置。

【請求項5】ディジタル画像データ出力装置から出力された画像データの階調数を減らし画像データのビット数を減らす減色手段を備えた画像処理装置において、前記ディジタル画像データ出力装置がモノクロのアナログ画像信号を、8ビット/画素未満で、前記減色手段で出力されるビット数よりも大きいビット数のディジタル画像データに変換する1チャンネルのA/D変換器を備えていることを特徴とする画像処理装置。

【請求項6】前記A/D変換器のビット数が1チャンネルあたり5ビット/画素である請求項4あるいは5に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディジタル画像データを入力し減色回路で画像データの階調数を減らす画像処理装置に関する。

【0002】

【従来の技術】周知のように、カラーのディジタル画像データはRGB（赤成分、緑成分、青成分）やYUV

10

20

30

40

50

（輝度信号、赤の色差信号、青の色差信号）などの3要素を持っている。一般に自然画像の階調表現は1要素あたり8ビット/画素、3要素で計24ビット/画素のデータ（以下、24ビットカラーという）が必要であるとされている。一方、画像データを表示する画像表示装置で、この24ビットカラーを表示できないものも存在する。そこでこれらの画像表示装置で24ビットカラーの画像データを表示するためには、画像データの階調数を減らしてビット数を減らすための画像処理装置が必要となる。従来の画像処理装置では、接続されている表示装置の表示可能色数に問わず色成分3要素につき8ビット/画素、計24ビット/画素の画像データを入力するものとなっている。画像処理装置の内部では、この24ビットカラーの画像データは減色回路に入力されるわけだが、例えば、8ビットカラー（256色）に減色する場合には、色成分1要素あたり8ビットつまり256階調を8階調程度に減らす必要がある。この減色処理の方法には様々なものが提案されているが、代表的なものにオーダーディザ法や誤差拡散法がある。オーダーディザ法は、最適な加算誤差パターン（オーダーディザパターン）を加算し、しきい値比較を行うものであり、パターンテクスチャ効果を最小にしながら階調を落とすことができる。誤差拡散法は階調を落とす際に生じる誤差を周囲のピクセルに分散する方法であり、画像の中の本来の情報を保存しているので画像の細部表現を改善できるという特徴を持っているが、誤差情報を次のラインまで保持しておくための誤差拡散処理用ラインメモリを減色回路に付加する必要がある。例えば、オーダーディザ法の一例として「PROCEDURAL ELEMENTS FOR COMPUTER GRAPHICS」(David F. Rogers, McGraw-Hill Book Company)に256階調の画像データをオーダーディザ法を用いて2階調にする記述がある。

【0003】

【発明が解決しようとする課題】一般に画像を表示する際に擬似輪郭が見えないディジタル画像データのビット数は色成分1要素あたり5ビット/画素、3要素で計15ビット/画素（以下、15ビットカラーという）であると言われており、下位の3ビットは画質にはほとんど影響を与えない。さらに表示装置の表示可能色数が15ビットカラーより少ない場合には、色成分1要素あたり8ビット/画素、3要素で計24ビット/画素の24ビットカラーの画像データが画像処理装置に入力されても、減色回路により階調数つまりビット数が15ビットカラー未満に減らされてしまう。この場合には一層、下位3ビットが画質に与える影響は少なくなる。一方、誤差拡散法で減色回路の入力ビット数と出力ビット数の差が大きいほど量子化の際の誤差のビット数も大きくなる。減色回路が誤差拡散法を用いる場合は、次のライン

3

の画素の計算のために1ライン分の誤差を誤差拡散処理用ラインメモリに格納するので、その容量は入力ビット数と出力ビット数の差が大きくなるにつれて大きくなる。したがって画像データの1要素あたり下位3ビットは表示画像の画質にほとんど影響を与えないにも関わらず、誤差拡散処理用ラインメモリの容量を増やす原因となる。さらにCMOSで実現された減色回路では、ビットの反転が多い下位3ビットを入力するのは表示画像の画質にほとんど影響を与えないにも関わらず、電力を消費する原因となる。

【0004】本発明の目的は、画質に与える影響が少なくコストと消費電力を抑えた画像処理装置を提供することにある。

【0005】

【課題を解決するための手段】請求項1あるいは2の発明にかかる画像処理装置は、画像データ出力装置から画像データを入力して階調数を減らし画像データのビット数を減らす減色回路を備える画像処理装置で、減色回路の前段に色成分1要素あたり8ビット/画素未満で減色回路の出力ビット数よりも大きくなるように画像データの20 下位の数ビットをマスクするビットマスク回路を備えている。また請求項4あるいは5の発明にかかる画像処理装置はアナログ画像信号の色成分を1要素あたり8ビット/画素未満で、かつ減色回路で出力される1要素あたりのビット数よりも大きいビット数のデジタル画像データに変換するA/D変換器を備えている。

【0006】請求項1あるいは2の発明にかかる画像処理装置は、減色回路に入力するデータのビット数が色成分1要素あたり8ビット/画素未満で減色回路の出力ビット数よりも大きくなるように、下位の数ビットをマスクするビットマスク回路を減色回路前段に備えたので画質に影響の少ない下位の数ビットが減色回路に入力されない。したがって誤差拡散処理用ラインメモリの容量を減らすことができコストを下げることができる。またビット反転の多い下位の数ビットを後段の回路に入力しないので後段の回路での電力消費を抑えることもできる。また請求項4あるいは5の発明の画像処理装置はアナログ画像信号をデジタル画像データに変換するA/D変換器の出力ビット数が色成分1要素あたり8ビット/画素未満で減色回路の出力ビット数よりも大きいので、画質に影響の少ない下位の数ビットが減色回路に入力されない。したがって誤差拡散処理用ラインメモリの容量を減らすことができコストを下げることができる。またビット反転の多い下位の数ビットを後段の回路に入力しないので後段の回路での電力消費を抑えることもできる。さらにビット数が8ビット/画素未満のA/D変換器を用いることができるので、A/D変換器のコストと電力消費を抑えることもできる。

【0007】

【発明の実施の形態】図1に、第1実施例の本発明の一

(3)

特開平9-101771

4

例を示す。この実施例は画像処理装置8と画像表示装置11をパーソナルコンピュータ100に拡張ボードの形態で内蔵し、ハードディスク装置113に格納されている画像データを表示する装置のブロック図である。パーソナルコンピュータ100はCPU111、主記憶112、ハードディスク装置113、バス114とで構成される。画像読み取り装置8は、RGBの3要素を持つカラー画像データ（以下、RGB画像データという）を1要素あたり8ビット/画素、計24ビット/画素で入力し下位3ビットをマスクして1要素あたり5ビット/画素、計15ビット/画素で出力するビットマスク回路2と、入力されたRGB画像データをスケールリングして出力するスケールリング回路3と、スケールリング処理に必要なスケールリング用ラインメモリ21と、入力されたRGB画像データの色数を削減して出力する減色回路5と、誤差拡散法を用いた減色処理に必要な誤差拡散処理用ラインメモリ20と、バス114からビットマスク回路2への出力と減色回路5からバス114への入力を制御するバスインタフェース4とで構成される。画像表示装置11は、画像表示装置11を制御するビデオコントローラ7と、RGB画像データを格納するための画像メモリ6（以下、VRAMという）、256色（以下、8ビットカラーという）までのRGB画像データを表示できる液晶ディスプレイ9と、液晶ディスプレイ9を制御する液晶コントローラ10とで構成される。画像処理装置8と画像表示装置11は、それぞれバスインタフェース4とビデオコントローラ7を介して、パーソナルコンピュータ100のバス114と接続される。

【0008】次に本装置の動作について詳細に説明する。

【0009】ハードディスク装置113からバス114を介してバスインタフェース4に入力された24ビットカラーのRGB画像データVdは次にビットマスク回路2に出力される。ビットマスク回路2に入力されたRGB画像データVdはRGBの1要素あたり下位3ビットずつマスクされ、1要素あたり5ビット/画素、3要素で計15ビット/画素（以下、15ビットカラーという）のRGB画像データVdmとしてスケールリング回路3に出力される。スケールリング回路3に入力されたRGB画像データVdmは縦横それぞれ1/4に縮小される。1/4に縮小された画像データの画素の値にはその画素のまわりの縦横4×4の画素の値の平均を用いるのでその4×4の画素の値の平均が求まるまで計算途中の合計値をスケールリング用ラインメモリ21に保存する。この場合、スケールリングされた画像を求める際に1画素が使うラインメモリのビット数は4×4=2²×4より15+4=19ビットとなる。スケールリング回路3から出力された縮小されたRGB画像データVdmsは次に減色回路5に入力される。減色回路5に入力されたRGB画像データVdmsは誤差拡散法を用いて、15ビット

50

(4)

特開平8-101771

5

カラーから8ビットカラーへと減色処理される。誤差拡散法で減色処理するためには前のラインで求められた誤差が必要となるので次のラインまで現在のラインの誤差を誤差拡散処理用ラインメモリ20に保存する。この場合、1画素分の誤差を格納するためのビット数は15-8=7ビットとなる。減色回路5から出力された減色処理されたRGB画像データVdmsはバスインタフェース4へ出力される。RGB画像データVdmsが入力されたバスインタフェース4はバス114を介してビデオコントローラ7に送信され、さらにVRAM6、液晶コントローラ10を介して液晶ディスプレイ9へと送られ表示される。

【0010】以上の構成は、RGB画像データがバスインタフェース4から24ビットカラーのまま直接スケーリング回路3へ出力される従来の画像処理装置と比較して、スケーリング回路の前に色成分1要素あたり8ビット/画素の下位3ビットをマスクして、3要素で計15ビット/画素のRGB画像データにするビットマスク回路2を備えていることに特徴がある。

【0011】本実施例におけるビットマスク回路2のマスクするビット数はRGB画像データの擬似輪郭が見えないビット数が各要素あたり5ビットであると言われていたことから5ビットとした。しかしより正確に画像を表示するためには5ビットより大きな値にしてもよいし、画質を落としてよい場合には5ビットより小さな値にしてもよい。また減色回路5で出力するRGB画像データの色数は液晶ディスプレイ9の表示色が8ビットカラーであることから8ビットカラーとしたが、液晶ディスプレイ9が8ビットカラー以上を表示できるものである場合には8ビットより大きな値にしてもよいし、8ビットカラー以下しか表示できないものである場合には8ビットより小さな値にしてもよい。さらに目の特性でRGBの感度が違うことやRGB3要素合計のビット数がCPU111やビデオコントローラ7、バスインタフェース4が扱いやすい8ビットや16ビットにするためにRGBごとに異なるビットをビットマスク回路2でマスクしてもよい。例えばマスクした後にRGBで3:3:2ビット(計8ビット)、5:5:5ビット(計15ビット)となるように設定してもよい。

【0012】また、本実施例ではパーソナルコンピュータ100の構成としてCPU111、主記憶112、ハードディスク装置113、バス114を備えた簡単なものを用いたが、本発明はかかるパーソナルコンピュータの構成に限るものではない。例えば、画像データが格納されているハードディスク装置113の代わりに光ディスク装置や磁気テープ装置でもよいし、半導体メモリ装置などでもよい。

【0013】また、本実施例では画像表示装置11の構成としてビデオコントローラ7、VRAM6、液晶ディスプレイ9、液晶コントローラ10を考えたが、液晶デ

6

ィスプレイ9と液晶コントローラ10の代わりに、VRAM6のRGB画像データをカラーパレットに従いアナログ信号にA/D変換するRAMDACと、そのアナログ信号を表示するCRTディスプレイなどでもよい。

【0014】また、本実施例で画像データとしてRGB画像データを考えたが、これに限定されるものではなく、例えば、YUVを3要素とする画像データやモノクロ画像データでもよい。

【0015】また、本実施例では画像処理装置8や画像表示装置11を制御する装置としてパーソナルコンピュータ100を用いたが、本発明はかかるパーソナルコンピュータに限るものではない。例えば、バスインタフェース4やビデオコントローラ7を制御できる手段を持ったワークステーションやPDA、画像表示専用装置などでもよい。

【0016】次に、第2実施例について説明する。第2実施例は特に、画像処理装置8の画像データの入手手段が、ビデオカメラなどから取り込んだアナログ信号をA/D変換器で変換したデジタル画像データである。

【0017】図2に、図1に示す画像処理装置8を画像処理装置60に替え、ビデオカメラ1と、ビデオカメラからのRGB3要素のアナログ信号をそれぞれ5ビット/画素に変換する3チャンネルのA/D変換器15とを備えた読み取り画像表示装置の構成を示す。

【0018】ビデオカメラ1で入力されるカラーのアナログ信号はRGBの3要素に分けられA/D変換器15に入力される。ここでRGBそれぞれ5ビット/画素、計15ビット/画素のRGB画像データVdmに変換され、画像入力装置60内のスケーリング回路3へ送られる。その後の画像データの流れは第1実施例と同様である。

【0019】次に、第3実施例について説明する。第3実施例は特に、画像処理装置8の画像データとして、ハードディスク装置などの記憶装置に格納されている画像データとビデオカメラなどから取り込んだアナログ信号をA/D変換器で変換したデジタル画像データの両方を取りうるものであり、さらにアナログ画像データを24ビットカラーで読み取り、記憶装置に格納できる装置である。

【0020】図3に、図1に示す画像処理装置8を画像処理装置70に替え、ビデオカメラ1と、ビデオカメラからのRGB3要素のアナログ信号を1要素あたり8ビット/画素に変換する3チャンネルのA/D変換器16とを備え、記憶装置に格納された画像と読み取り画像とを表示でき、かつ読み取り画像を記憶装置に格納できる装置の構成を示す。

【0021】画像処理装置70は画像処理装置8と比べて以下の点で異なる。まずバスインタフェース4とビットマスク回路の間にセクタ19がある。このセクタ19はA/D変換器16からの出力と、バスインタフェ

50

(5)

特開平9-101771

7

8

ース4からの出力を切り替えてビットマスク回路2に出力するものである。またA/D変換器18の出力は24ビットカラーのままバスインタフェース4へも出力される。

【0022】まず記憶装置に格納された画像を読み取る方法を説明する。セレクト19をバスインタフェース4からの出力に切り替える。その後のRGB画像データの流れは第1実施例と同様である。

【0023】次にビデオカメラ1から入力されたアナログ画像信号を表示する方法を説明する。セレクト19をA/D変換器18からの出力に切り替える。ビデオカメラ1から出力されたアナログカラーの色成分3要素の信号はA/D変換器18で1要素あたり8ビット/画素でRGB画像データVdへA/D変換され、セレクト19を通してビットマスク回路2に出力される。RGB画像データVdはビットマスク回路2で1要素あたり下位3ビットをマスクされ、色成分1要素あたり5ビット/画素のRGB画像データVdmとしてスケーリング回路3へ出力される。その後のRGB画像データの流れは第2実施例と同様である。

【0024】次にビデオカメラ1からのアナログ画像信号を記憶装置に格納する方法を説明する。ビデオカメラ1から出力されたアナログカラーの色成分3要素の信号はA/D変換器18で1要素あたり8ビット/画素でRGB画像データVdへA/D変換され、24ビットカラーのままバスインタフェース4へ出力される。その後バス114を介してハードディスク装置113へ格納される。格納された画像データは実施例1における装置や実施例3における装置などで表示することができる。

【0025】なお、以上の実施例における画像処理装置は全てハードウェアイメージで構成したが、ソフトウェ

アによって実現しても構わない。

【0028】

【発明の効果】本発明の画像処理装置は上記の如く、表示画像の品質にほとんど影響を与えない画像データの低位3ビットをスケーリング処理や減色処理の前段でマスクしたことでスケーリング用ラインメモリや誤差拡散処理用ラインメモリの容量を減らせる。例えばスケーリング回路が1/4の縮小までサポートした場合では、 $4 \times 4 = 2^4$ より、 $(15+4)/(24+4) = 19/28$ とおよそ2/3にできる。また減色回路により8ビットカラーに減色する場合には、誤差拡散処理用ラインメモリは $(15-8)/(24-8) = 7/16$ とおよそ1/2にできる。これらは低コストにつながる。また、入力ビット数が8ビットより少ないことで8ビットの入力を持つスケーリング回路や減色回路と比較して低消費電力となる。よって、表示画像の画質にほとんど影響を与えずに、低コストかつ低消費電力の画像処理装置を構成できる。

【図面の簡単な説明】

【図1】本発明の第1実施例のブロック図。

【図2】本発明の第2実施例のブロック図。

【図3】本発明の第3実施例のブロック図。

【符号の説明】

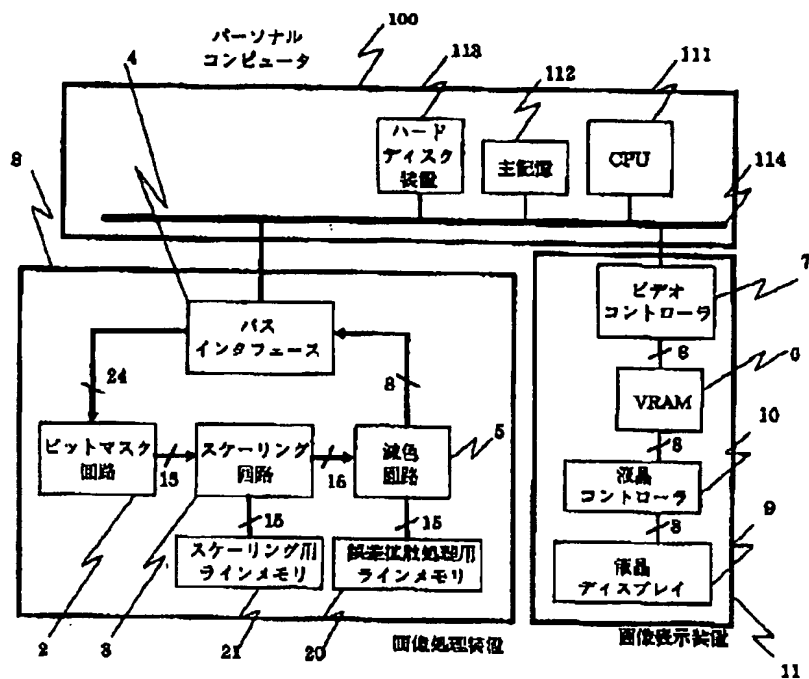
2…ビットマスク回路、3…スケーリング回路、4…バスインタフェース、5…減色回路、6…VRAM、7…ビデオコントローラ、8…画像処理装置、9…液晶ディスプレイ、10…液晶コントローラ、11…画像表示装置、15…A/D変換器、20…誤差拡散処理用ラインメモリ、21…スケーリング用ラインメモリ、100…パーソナルコンピュータ、111…CPU、112…主記憶、113…ハードディスク装置、114…バス。

(6)

特開平9-101771

【図1】

図1

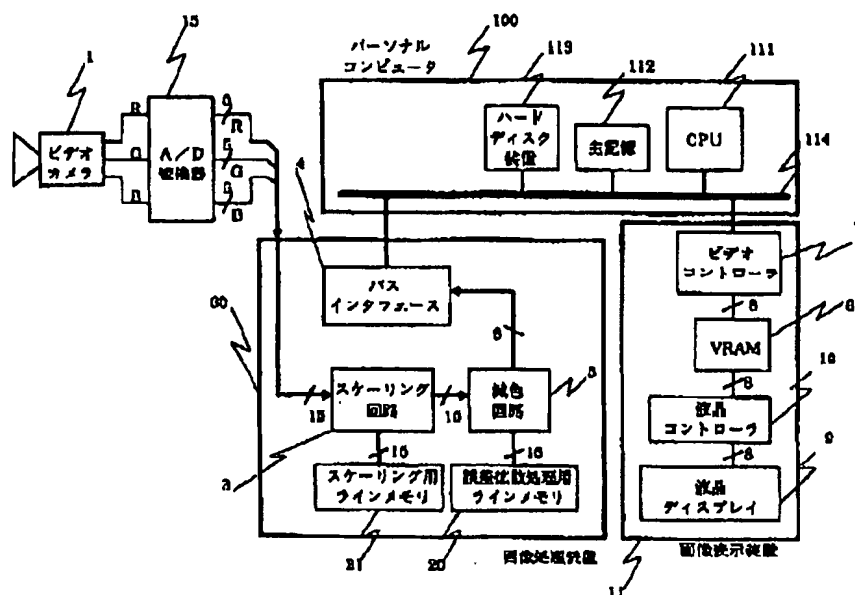


(7)

特開平9-101771

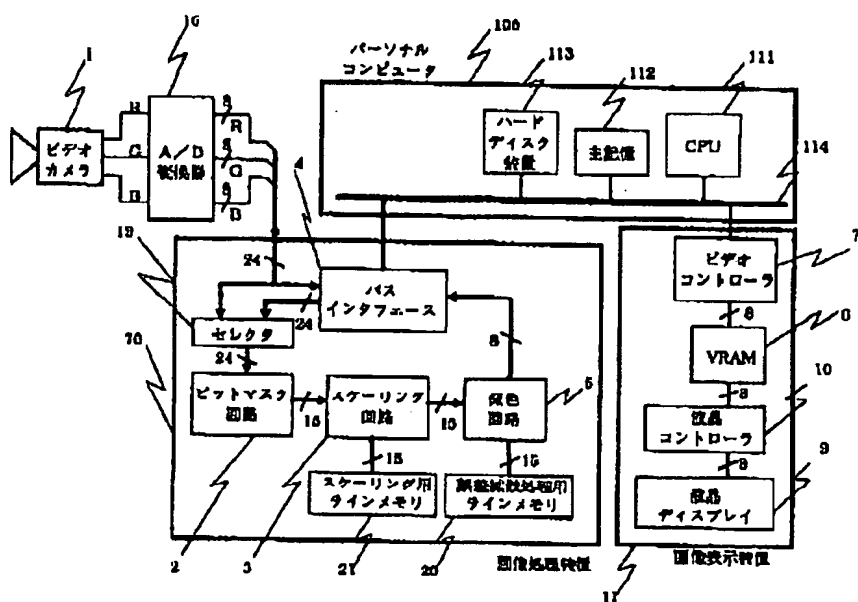
【図2】

図2



【図3】

図3



(8)

特開平9-101771

フロントページの続き

(72)発明者 黒川 能敏

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 森野 東海

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 小檜山 智久

神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内